

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Kangwook PARK :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: April 22, 2004 : Attorney Docket No. SEC.1102
BIPOLAR JUNCTION TRANSISTORS AND METHODS OF MANUFACTURING THE SAME

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 2003-0039897 filed June 19, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: April 22, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0039897
Application Number

출원 년 월 일 : 2003년 06월 19일
Date of Application JUN 19, 2003

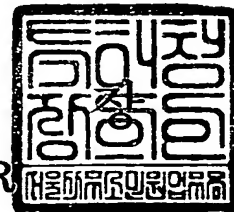
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.06.19
【국제특허분류】	H01L
【발명의 명칭】	바이폴라 접합 트랜지스터 및 그 제조 방법
【발명의 영문명칭】	Bipolar junction transistor and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박강욱
【성명의 영문표기】	PARK, Kang Wook
【주민등록번호】	660518-1920538
【우편번호】	135-281
【주소】	서울특별시 강남구 대치동 926-6
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 51 면 51,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 79 항 2,637,000 원

【합계】 2,717,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 바이폴라 접합 트랜지스터는, 제1 도전형의 컬렉터 영역 및 이 제1 도전형의 컬렉터 영역 상부에 배치된 제2 도전형의 베이스 영역을 포함한다. 베이스 영역 내의 상부 일정 영역에는 제1 도전형의 에미터 영역이 배치된다. 그리고 이 에미터 영역에 직접 접촉되도록 형성되는 에미터 전극 패턴을 포함하는데, 이 에미터 전극 패턴은 단결정 구조를 갖는다. 에미터 영역이 단결정 구조인 경우 에미터 영역과 에미터 전극 패턴은 동일한 결정 구조를 갖게 된다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

바이폴라 접합 트랜지스터 및 그 제조 방법{Bipolar junction transistor and method for fabricating the same}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다.

도 3은 본 발명의 또 다른 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다.

도 4 내지 도 9는 본 발명의 일 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법을 설명하기 위해 나타내 보인 단면도들이다.

도 10 내지 도 14는 본 발명의 다른 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법을 설명하기 위해 나타내 보인 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 바이폴라 접합 트랜지스터 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 에미터 영역과 에미터 전극 사이의 계면에서의 특성을 향상시킨 바이폴라 접합 트랜지스터 및 그 제조 방법에 관한 것이다.
- <7> 일반적으로 반도체 소자는 모스 전계 효과 트랜지스터 및/또는 바이폴라 접합 트랜지스터로 구성된다. 모스 전계 효과 트랜지스터는, 반도체 소자의 집적도 및 전력 소모를 개선시킬 수 있는 반면에 동작 속도가 느린 단점을 갖는다. 이에 반하여 바이폴라 접합 트랜지스터로 구성된 반도체 소자는, 집적도가 낮고 전력 소모가 큰 반면에 동작 속도가 빠른 장점을 갖는다. 따라서 바이폴라 접합 트랜지스터는 고속 반도체 소자에 널리 사용되고 있다.
- <8> 통상적으로 바이폴라 접합 트랜지스터의 베이스 영역은 실리콘 단결정 영역 내에 형성된다. 그러나 최근에는 실리콘-저마니움 박막을 결정 성장시키고, 이 실리콘-저마니움 박막 내에 베이스 영역을 형성시키는 구조를 더 많이 사용하고 있는 추세이다. 실리콘-저마니움은 실리콘보다 에너지 밴드 갭이 작으며, 이에 따라 실리콘-저마니움을 베이스로 사용한 바이폴라 접합 트랜지스터는 실리콘을 베이스로 사용한 경우보다 더 높은 전류 이득 및 더 빠른 동작 속도를 나타낸다. 또한 베이스 영역 내의 불순물 도핑 농도를 높이더라도, 전류 이득값이 저하되지 않고 베이스 저항이 낮아지므로 잡음 지수도 용이하게 감소시킬 수 있다.
- <9> 이와 같이 베이스 영역을 실리콘-저마니움 박막에 형성시킨 구조를 갖는 바이폴라 접합 트랜지스터에 있어서, 에미터 영역 또한 실리콘-저마니움 박막 내에 형성된다. 소위 듀얼 폴

리실리콘막 구조에서는, 베이스 영역 및 에미터 영역 표면 위에 각각 폴리실리콘막 패턴들이 형성되고, 이 폴리실리콘막 패턴들을 각각 베이스 전극 및 에미터 전극으로 사용한다. 이와 대조적으로 소위 싱글 폴리실리콘막 구조에서는, 에미터 영역 표면 위에만 폴리실리콘막 패턴이 형성되고, 이 폴리실리콘막 패턴을 에미터 전극으로서 사용한다. 결국 듀얼 폴리실리콘막 구조이거나 싱글 폴리실리콘막 구조이거나, 어느 경우에도 결정 성장된 실리콘-저마니움 박막 내에 형성되는 에미터 영역과 그 위의 폴리실리콘막 패턴이 직접 접촉되는 구조를 갖게 되어, 각각 단결정 구조 및 다결정 구조의 서로 다른 두 구조들이 직접 접촉되어 있는 구조를 갖게 된다. 물론 실리콘-저마니움 박막 대신에 실리콘 단결정막을 사용하는 경우에도 에미터 전극으로서 폴리실리콘막 패턴을 사용하는 경우에는 마찬가지로 서로 다른 두 결정 구조들이 직접 접촉되는 구조를 갖게 된다. 이와 같이 서로 다른 결정 구조, 즉 단결정 구조와 다결정 구조가 직접 접촉하는 구조에서는 계면에서의 특성 열화가 필연적으로 발생한다. 즉 계면에 산화막과 같은 이물질막이 생길 수 있으며, 또는 불균질한 결정 결합에 의한 접합 계면의 상태 변화 현상이 발생할 수 있다. 이 경우 에미터 폴리실리콘막 패턴을 통해 에미터 영역으로 캐리어 또는 불순물들이 이동하는데 있어서 소망하는 이동 속도 및 이동량을 얻지 못할 수 있다. 더욱이 상기 이물질막 또는 접합 계면의 상태 변화는 에미터 폴리실리콘막 패턴과 에미터 영역 사이의 계면 저항을 증가시켜서 소자의 전기적인 특성도 또한 열화될 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는 에미터 영역과 에미터 전극 사이의 계면에서 불순물 등의 이동 또는 결정 구조 차이로 인한 소자의 특성 열화가 발생하지 않도록 하는 바이폴라 접합 트랜지스터를 제공하는 것이다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 바이폴라 접합 트랜지스터를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 바이폴라 접합 트랜지스터는, 제1 도전형의 컬렉터 영역; 상기 제1 도전형의 컬렉터 영역 상부에 배치된 제2 도전형의 베이스 영역; 상기 베이스 영역 내에 형성된 제1 도전형의 에미터 영역; 및 상기 에미터 영역에 직접 접촉되도록 형성되며 단결정 구조로 이루어진 에미터 전극 패턴을 포함하는 것을 특징으로 한다.

<13> 상기 에미터 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조는 동일한 것이 바람직하다.

<14> 상기 에미터 전극 패턴은 에피택셜 결정 성장에 의해 만들어진 것것이 바람직하다.

<15> 본 실시예에 있어서, 상기 에미터 영역 위에 형성된 절연막 패턴을 더 구비하는 것것이 바람직하다. 이 경우 상기 에미터 전극 패턴은, 상기 에미터 영역과 직접 접촉되는 단결정 구조의 제1 에미터 전극 패턴, 및 상기 절연막 패턴 위에서 상기 제1 에미터 전극 패턴의 측면과 접촉되는 다결정 구조 또는 아모퍼스 구조의 제2 에미터 전극 패턴을 포함할 수 있다.

<16> 상기 베이스 영역은, 상기 컬렉터 영역 위에 형성된 제1 베이스 영역과, 상기 컬렉터 영역 내의 상부 일정 영역에서 상기 제1 베이스 영역과 접하는 제2 베이스 영역을 포함하는 것것이 바람직하다. 이 경우 상기 제1 베이스 영역은 실리콘-저마니움 박막일 수 있다. 상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 구조를 갖는 것이 바람직하다.

- <17> 상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저매니움막 또는 이들의 복합막인 것것이 바람직하다. 이 경우 상기 에미터 영역은, 상기 에미터 전극 패턴으로부터 상기 베이스 영역으로의 불순물 이온 확산에 의해 만들어질 수 있다.
- <18> 상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정의 실리콘-저매니움 박막 또는 이들의 복합막인 것이 바람직하다. 이 경우 상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖는 것이 바람직하다. 상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도인 것이 바람직하다. 상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 인 것이 바람직하다. 상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 인 것이 바람직하다.
- <19> 본 실시예에 있어서, 상기 베이스 영역 위에 형성된 제1 실리콘사이드막과, 상기 제1 실리콘사이드막에 연결되는 제1 금속 패턴과, 상기 에미터 전극 패턴 위에 형성된 제2 실리콘사이드막, 및 상기 제2 실리콘사이드막에 연결되는 제2 금속 패턴을 더 구비하는 것이 바람직하다.
- <20> 상기 컬렉터 영역은, 제1 도전형의 고농도 컬렉터 영역과, 상기 고농도 컬렉터 영역 위에 형성된 제1 도전형의 저농도 컬렉터 영역을 포함하는 것이 바람직하다. 이 경우 상기 에미터 영역 아래에서 상기 베이스 영역과 접하면서 상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역에 연결되는 제1 도전형의 고농도 영역을 더 포함할 수 있다. 그리고 상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역에 연결되는 제1 도전형의 고농도 싱크 영역과, 상기 고농도 싱크 영역 위에 형성된 제3 실리콘사이드막과, 상기 제3 실리콘사이드막에 연결되는 제3 금속 패턴을 더 구비하는 것이 바람직하다.
- <21> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 바이폴라 접합 트랜지스터는, 제1 도전형의 컬렉터 영역; 상기 제1 도전형의 컬렉터 영역 상부에 배치된 제2

도전형의 베이스 영역; 상기 베이스 영역 위에 배치된 베이스 전극 패턴; 상기 베이스 영역 내의 상부 일정 영역에 형성된 제1 도전형의 에미터 영역; 및 상기 에미터 영역에 직접 접촉 되도록 형성되며 단결정 구조로 이루어진 에미터 전극 패턴을 포함하는 것을 특징으로 한다.

- <22> 상기 베이스 전극 패턴은 불순물 이온들로 도핑된 폴리실리콘막인 것이 바람직하다.
- <23> 상기 에미터 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조는 동일한 것이 바람직하다.
- <24> 상기 에미터 전극 패턴은 에피택셜 결정 성장에 의해 만들어진 것이 바람직하다.
- <25> 본 실시예에 있어서, 상기 에미터 영역 위에 형성된 절연막 패턴을 더 구비하는 것이 바람직하다. 이 경우 상기 에미터 전극 패턴은, 상기 에미터 영역과 직접 접촉되는 단결정 구조의 제1 에미터 전극 패턴, 및 상기 절연막 패턴 위에서 상기 제1 에미터 전극 패턴의 측면과 접촉되는 다결정 구조 또는 아모포스 구조의 제2 에미터 전극 패턴을 포함할 수 있다.
- <26> 상기 베이스 영역은, 상기 컬렉터 영역 위에 형성된 제1 베이스 영역과, 상기 컬렉터 영역 내의 상부 일정 영역에서 상기 제1 베이스 영역과 접하는 제2 베이스 영역을 포함하는 것이 바람직하다. 이 경우 상기 제1 베이스 영역은 실리콘-저마니움 박막일 수 있다. 상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 구조를 갖는 것이 바람직하다.
- <27> 상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막인 것이 바람직하다.
- <28> 상기 에미터 영역은, 상기 에미터 전극 패턴으로부터 상기 베이스 영역으로의 불순물 이온 확산에 의해 만들어지는 것이 바람직하다.

- <29> 상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정의 실리콘-저매니움 박막 또는 이들의 복합막인 것이 바람직하다. 이 경우 상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖는 것이 바람직하다. 상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도인 것이 바람직하다. 상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 인 것이 바람직하다. 그리고 상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 인 것이 바람직하다.
- <30> 본 실시예에 있어서, 상기 베이스 영역 위에 형성된 제1 실리콘사이드막, 상기 제1 실리콘사이드막에 연결되는 제1 금속 패턴, 상기 에미터 전극 패턴 위에 형성된 제2 실리콘사이드막, 및 상기 제2 실리콘사이드막에 연결되는 제2 금속 패턴을 더 구비하는 것이 바람직하다.
- <31> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법은, 제1 도전형의 컬렉터 영역 상부에 제2 도전형의 베이스 영역을 형성하는 단계; 상기 베이스 영역의 제1 영역 표면을 노출시키는 단계; 상기 베이스 영역의 제1 영역 표면 위에 단결정 구조를 갖는 에미터 전극 패턴을 형성하는 단계; 및 상기 베이스 영역의 제1 영역 상부에 상기 에미터 전극 패턴과 접촉하는 제1 도전형의 에미터 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <32> 상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것이 바람직하다.
- <33> 상기 베이스 영역을 형성하는 단계는, 상기 컬렉터 영역 상부의 일부 표면을 노출시키는 절연막 패턴을 형성하는 단계; 및 상기 컬렉터 영역의 노출 표면 위와 상기 절연막 패턴 위에 베이스 영역을 형성하는 단계를 포함하는 것이 바람직하다.

- <34> 상기 베이스 영역을 형성하는 단계는, 에피택셜 결정 성장에 의해 실리콘-저마니움 박막을 성장시킴으로써 이루어지는 것이 바람직하다. 이 경우 상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층을 순차적으로 적층시킨 구조를 가질 수 있다.
- <35> 상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막을 포함하도록 형성하는 것이 바람직하다.
- <36> 상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것이 바람직하다.
- <37> 상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것이 바람직하다.
- <38> 상기 에미터 전극 패턴은, 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막을 포함하도록 형성되는 것이 바람직하다.
- <39> 상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖도록 형성되는 것이 바람직하다. 이 경우 상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 하는 것이 바람직하다. 상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 가 되도록 하는 것이 바람직하다. 그리고 상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 가 되도록 하는 것이 바람직하다.

- <40> 본 실시예에 있어서, 상기 베이스 영역 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리콘사이드막 및 제2 실리콘사이드막을 형성하는 단계; 상기 제1 실리콘사이드막 및 제2 실리콘사이드막을 덮는 층간 절연막을 형성하는 단계; 및 상기 층간 절연막을 관통하여 상기 제1 실리콘사이드막 및 제2 실리콘사이드막에 각각 접촉되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <41> 또한 상기 베이스 영역의 일부 표면 위에 베이스 전극 패턴을 형성하는 단계를 더 포함하는 것이 바람직하다. 이 경우 상기 베이스 전극 패턴 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리콘사이드막 및 제2 실리콘사이드막을 형성하는 단계; 상기 제1 실리콘사이드막 및 제2 실리콘사이드막을 덮는 층간 절연막을 형성하는 단계; 및 상기 층간 절연막을 관통하여 상기 제1 실리콘사이드막 및 제2 실리콘사이드막에 각각 접촉되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함할 수 있다. 상기 베이스 전극 패턴은 폴리실리콘막을 사용하여 형성할 수 있다.
- <42> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법은, 제1 도전형의 고농도 컬렉터 영역 위에 동일 도전형의 저농도 컬렉터 영역을 형성하는 단계; 상기 저농도 컬렉터 영역의 액티브 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계; 상기 베이스 영역의 일부 표면에 직접 접촉하며 단결정 구조로 이루어진 에미터 전극 패턴을 형성하는 단계; 상기 에미터 전극 패턴 측면에 절연성 스페이서를 형성하는 단계; 상기 에미터 전극 패턴에 접촉되는 상기 베이스 영역 표면에 제1 도전형의 에미터 영역을 형성하는 단계; 상기 베이스 영역 및 에미터 전극 패턴 상부에 각각 제1 실리콘사이드막 및 제2 실리콘사이드막을 형성하는 단계; 및 상기 제1 실리콘사이드막 및 제2 실리콘사이드

드막에 각각 연결되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<43> 상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것이 바람직하다.

<44> 본 실시예에 있어서, 상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역과 연결되는 제1 도전형의 싱크 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.

<45> 또한 상기 제1 실리사이드막 및 제2 실리사이드막 형성과 동시에 상기 싱크 영역 상부에 제3 실리사이드막을 형성하는 단계; 및 상기 제1 금속 패턴 및 제2 금속 패턴 형성과 동시에 상기 제3 실리사이드막에 연결되는 제3 금속 패턴을 형성하는 단계를 더 포함하는 것이 바람직하다.

<46> 또한 상기 에미터 전극 패턴 형성 전에 상기 에미터 전극 패턴이 형성될 제1 베이스 영역의 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 및 상기 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 저농도 컬렉터 영역을 관통하여 상기 베이스 영역 및 상기 고농도 컬렉터 영역을 연결시키는 제1 도전형의 고농도 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.

<47> 상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것이 바람직하다.

<48> 상기 베이스 영역은 단결정의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성하는 것이 바람직하다.

- <49> 상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성하는 것이 바람직하다.
- <50> 상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것이 바람직하다.
- <51> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법은, 제1 도전형의 고농도 컬렉터 영역 위에 동일 도전형의 저농도 컬렉터 영역을 형성하는 단계; 상기 저농도 컬렉터 영역의 액티브 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계; 상기 제1 베이스 영역의 제1 영역 표면 위에 절연막 패턴을 형성하는 단계; 상기 절연막 패턴에 의해 노출되는 제1 베이스 영역을 덮으면서 상기 절연막 패턴의 일부 영역을 노출시키는 베이스 전극 패턴을 형성하는 단계; 상기 절연성 패턴 위에서 상기 베이스 전극 패턴의 측면을 덮는 절연성 스페이서를 형성하는 단계; 상기 절연성 스페이서에 의해 노출된 절연성 패턴의 일부를 제거하여 상기 베이스 영역의 제1 영역의 일부 표면을 노출시키는 단계; 상기 베이스 영역의 제1 영역의 노출 표면에 직접 접촉하며, 상기 베이스 영역과 동일한 결정 구조를 갖는 에미터 전극 패턴을 형성하는 단계; 상기 에미터 전극 패턴에 접촉되는 상기 제1 베이스 영역의 제1 영역 표면에 제1 도전형의 에미터 영역을 형성하는 단계; 상기 베이스 전극 패턴 및 에미터 전극 패턴 상부에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계; 및 상기 제1 실리사이드막 및 제2 실리사이드막에 각각 연결되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <52> 상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것이 바람직하다.

- <53> 본 실시예에 있어서, 상기 에미터 전극 패턴 형성 전에 상기 에미터 전극 패턴이 형성될 베이스 영역의 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 및 상기 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 저농도 컬렉터 영역을 관통하여 상기 베이스 영역 및 상기 고농도 컬렉터 영역을 연결시키는 제1 도전형의 고농도 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <54> 상기 베이스 영역을 형성하는 단계는, 상기 컬렉터 영역 상부의 일부 표면을 노출시키는 절연막 패턴을 형성하는 단계; 및 상기 컬렉터 영역의 노출 표면 위와 상기 절연막 패턴 위에 베이스 영역을 형성하는 단계를 포함하는 것이 바람직하다.
- <55> 상기 베이스 영역을 형성하는 단계는, 에피택셜 결정 성장에 의해 실리콘-저마니움 박막을 성장시킴으로써 이루어지는 것이 바람직하다. 이 경우 상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층을 순차적으로 적층시킨 구조를 가질 수 있다.
- <56> 상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막을 포함하도록 형성하는 것이 바람직하다.
- <57> 상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것이 바람직하다.
- <58> 상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것이 바람직하다.

- <59> 상기 에미터 전극 패턴은, 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막을 포함하도록 형성되는 것이 바람직하다.
- <60> 상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖도록 형성되는 것이 바람직하다. 이 경우 상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 하는 것이 바람직하다. 상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 가 되도록 하는 것이 바람직하다. 그리고 상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 가 되도록 하는 것이 바람직하다.
- <61> 본 실시예에 있어서, 상기 베이스 영역 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리콘사이드막 및 제2 실리콘사이드막을 형성하는 단계; 상기 제1 실리콘사이드막 및 제2 실리콘사이드막을 덮는 층간 절연막을 형성하는 단계; 및 상기 층간 절연막을 관통하여 상기 제1 실리콘사이드막 및 제2 실리콘사이드막에 각각 접촉되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <62> 또한 상기 베이스 전극 패턴은 폴리실리콘막을 사용하여 형성하는 것이 바람직하다.
- <63> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <64> 도 1은 본 발명의 제1 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다.

<65> 도 1을 참조하면, 상기 바이폴라 접합 트랜지스터(100)는, 고농도의 제1 도전형, 예컨대 n^+ 형 컬렉터 영역(102)을 포함한다. 이 n^+ 형 컬렉터 영역(102)은 기판 자체일 수도 있거나, 또는 별도의 기판 위에 형성될 수도 있다. n^+ 형 컬렉터 영역(102) 위에는 저농도의 제1 도전형, 예컨대 n^- 형 컬렉터 영역(104)이 배치된다. n^- 형 컬렉터 영역(104)은 그 표면 부근에서 소자 분리막(106)에 의해 한정되는 액티브 영역을 포함한다. n^- 형 컬렉터 영역(104) 위에는 제1 베이스 영역(112)이 형성된다. 제1 베이스 영역(112)은 단결정 구조의 실리콘막이거나 또는 단결정 구조의 실리콘-저마니움 박막이다. 또는 상기 제1 베이스 영역(112)은 단결정의 실리콘막과 실리콘-저마니움 박막의 복합막일 수도 있다. 제1 베이스 영역(112)이 단결정 구조의 실리콘-저마니움 박막인 경우, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 다층 구조를 갖는다. 인접하는 소자 분리막(106)들 사이의 액티브 영역에서는 n^- 형 컬렉터 영역(104) 및 제1 베이스 영역(112)이 직접 접촉한다.

<66> 제1 베이스 영역(112)과 n^+ 형 컬렉터 영역(102)은 n^- 형 컬렉터 영역(104)을 관통하는 n^+ 형 영역(136)에 의해 연결된다. 이 n^+ 형 영역(136)은 캐리어(carrier) 이동시 저항을 감소시킴으로써 소자의 속도를 향상시키는 효과를 제공한다. 이 외에 n^- 형 컬렉터 영역(104)의 표면 일정 부분에는 제2 베이스 영역(138)이 형성된다. 제1 베이스 영역(112)과 제2 베이스 영역(138)은 모두 제2 도전형, 예컨대 p형의 도전형을 갖는다. 제1 베이스 영역(112)의 상부 일정 영역에는 이온 주입 공정에 의해 만들어지거나, 또는 에미터 전극 패턴(118)으로부터의 불순물 확산에 의해 만들어지는 n^+ 형 에미터 영역(116)이 배치된다. 따라서 n^+ 형 에미터 영역(116)의 결정 구조는 제1 베이스 영역(112)과 동일하다. 제1 베이스 영역(112)이 실리콘-저마니움 박막 및 실리콘막이 순차적으로 적층된 구조를 갖는 복합막인 경우, n^+ 형 에미터 영역(116)은 상

부의 실리콘막 내에만 형성될 수도 있으며, 경우에 따라서는 상부의 실리콘막과 하부의 실리콘-저마니움 박막 내에 형성될 수도 있다.

<67> 한편 참조 번호 "108" 및 "110"은 각각 절연막 패턴 및 실리콘막 패턴이다. 경우에 따라서 실리콘막 패턴(110)은 없을 수도 있고, 또는 절연막 패턴(108) 및 실리콘막 패턴(110) 모두 없을 수도 있다. 실리콘막 패턴(110) 대신에 절연막 패턴(108)과의 식각 선택비를 갖는 다른 물질막을 사용할 수도 있다. 절연막 패턴(108) 및 실리콘막 패턴(110)의 사용으로 인하여, 베이스 컨택 부분의 단차가 높아져서 에미터 컨택과의 높이차를 감소된다.

<68> 상기 n^+ 형 에미터 영역(116) 위에는 단결정 구조의 에미터 전극 패턴(118)이 형성된다. 앞서 언급한 바와 같이, n^+ 형 에미터 영역(116)은 제1 베이스 영역(112)에 대해 이온 주입 공정을 수행하거나, 또는 에미터 전극 패턴(118)으로부터의 불순물 확산에 의해 만들어지므로, 그 결정 구조는 제1 베이스 영역(112)과 동일하다. 즉 n^+ 형 에미터 영역(116)은, 제1 베이스 영역(112)과 같이, 예컨대 에피택셜 단결정 성장에 의해 만들어질 수 있는 단결정 구조를 갖는다. 따라서 상호 직접 접촉하고 있는 n^+ 형 에미터 영역(116) 및 에미터 전극 패턴(118)은 모두 단결정 구조로서 동일한 결정 구조를 가지며, 결과적으로 n^+ 형 에미터 영역(116) 및 에미터 전극 패턴(118) 계면에서의 불순물 등의 이동으로 인한 이물질막이 생기지 않게 된다. 또한 계면에서의 상태 변화 현상이 발생하지 않게 됨에 따라 계면에서의 특성 변화가 감소되고, 그 결과 소자의 안정성이 증대된다.

<69> 에미터 전극 패턴(118) 내의 불순물 농도는 일정할 수도 있지만, 구배(gradient)를 가질 수도 있다. 이 경우 에미터 전극 패턴(118)의 하부에서는 상대적으로 저농도이고 상부에서는 상대적으로 고농도가 되도록 한다. 예를 들면,

에미터 전극 패턴(118)의 하부에서의 불순물 농도는 대략 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 이며, 상부에서의 불순물 농도는 대략 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 이다. 상기 에미터 전극 패턴(118)은 여러 가지 형상으로 만들어질 수 있는데, 본 실시예에서는 일 예로서 "T"자 형상을 갖는다. 따라서 에미터 전극 패턴(118)의 일부는 제1 베이스 영역(112)과 일정 간격 이격되는데, 절연막 패턴(114)이 그 사이에 개재된다. 에미터 전극 패턴(118) 및 절연막 패턴(114)의 측면에는 절연성 스페이서(120)가 배치된다. 제1 베이스 영역(112) 및 에미터 전극 패턴(118) 위에는 각각 제1 실리사이드막(122) 및 제2 실리사이드막(124)이 배치된다. 제1 실리사이드막(122) 및 제2 실리사이드막(124)은 콘택 저항 감소를 위해 만들어진다. 따라서 콘택 저항이 중요하지 않은 응용 분야에서는 생략될 수도 있다. 제1 실리사이드막(122) 및 제2 실리사이드막(124)은 층간 절연막(128)으로 덮이는데, 제1 금속 패턴(130) 및 제2 금속 패턴(132)은 층간 절연막(128)을 관통하여 각각 제1 실리사이드막(122) 및 제2 실리사이드막(124)에 콘택된다.

<70> 한편 상기 제1 금속 패턴(130) 및 제2 금속 패턴(132)과 이격되도록 형성되는 제3 금속 패턴(134)은 n^+ 형 컬렉터 영역(102)과 전기적으로 연결된다. 즉 n^+ 형 싱크(sink)(140)가 소자 분리막(106) 및 n^- 형 컬렉터 영역(104)을 관통하여 n^+ 형 컬렉터 영역(102)과 연결된다. n^+ 형 싱크(140) 표면에는 제3 실리사이드막(126)이 형성된다. 이 제3 실리사이드막(126) 또한 제1 및 제2 실리사이드막(122, 124)과 마찬가지로 콘택 저항 감소를 위한 것이다. 제3 실리사이드막(126)은 층간 절연막(128)을 관통하는 제3 금속 패턴(134)에 직접 콘택된다.

<71> 도 2는 본 발명의 제2 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다. 도 2에서 도 1과 동일한 참조 부호는 동일한 요소를 나타낸다. 본 실시예에 따른 바이폴라 접합 트랜지스터는 도 1을 참조하여 설명한 바이폴라 접합 트랜지스터와 대부분 동일하며,

단지 에미터 전극 패턴의 구조만 상이하다. 따라서 동일한 부분에 대한 중복된 설명은 생략하기로 하며 상이한 부분에 관해서만 기술하기로 한다.

<72> 도 2를 참조하면, 본 실시예에 따른 바이폴라 접합 트랜지스터(200)의 에미터 전극 패턴은, 에피택셜 결정 성장 방법에 의해 만들어진다. 이 에미터 전극 패턴은, 하부 막질의 조건에 따라서 단결정 구조의 제1 에미터 전극 영역(118)과 다결정 구조 또는 아모포스(amorphous) 구조의 제2 에미터 전극 영역(119)을 포함하여 구성된다. 즉 단결정 구조의 제1 에미터 전극 영역(118)은 베이스 영역 위의 단결정 실리콘막 또는 단결정 실리콘-저마니움 박막이다. 제2 에미터 전극 영역(119)은 절연막 패턴(114) 위의 폴리실리콘막, 아모포스 실리콘막, 폴리실리콘-저마니움막 또는 아모포스 실리콘-저마니움막이다. 단결정 구조의 제1 에미터 전극 영역(118)은, 하부의 n^+ 형 에미터 영역(116)과 상부의 제2 실리콘사이드막(124) 사이에 배치되는데, 특히 하부의 n^+ 형 에미터 영역(116)과 상부의 제2 실리콘사이드막(124)에 직접 접촉된다. 그러나 다결정 구조 또는 아모포스 구조의 제2 에미터 전극 영역(119)은 상부의 제2 실리콘사이드막(124)과는 접촉될 수 있지만, 하부의 n^+ 형 에미터 영역(116)과는 직접 접촉되지 않는다. 즉 제2 에미터 전극 영역(119)과 n^+ 형 에미터 영역(116) 사이에는 절연막 패턴(114)이 개재된다. 본 실시예에 따른 바이폴라 접합 트랜지스터(200)의 경우에도, 제1 실시예에 따른 바이폴라 접합 트랜지스터(100)와 마찬가지로, 단결정 구조의 n^+ 형 에미터 영역(116)과 단결정 구조의 제1 에미터 전극 영역(118)이 직접 접촉되므로, 계면에서의 특성 열화가 발생하지 않는다.

<73> 도 3은 본 발명의 제3 실시예에 따른 바이폴라 접합 트랜지스터를 나타내 보인 단면도이다. 도 3에서 도 1과 동일한 참조 부호는 동일한 영역 또는 요소를 나타낸다. 따라서 동일한 요소에 대한 중복된 설명은 생략될 수도 있다.

<74> 도 3을 참조하면, 제1 베이스 영역(112) 위에는 베이스 전극 패턴(204)이 배치된다. 베이스 전극 패턴(204)은 제1 베이스 영역(112)과 동일한 도전형의 불순물 이온들로 도핑된 폴리실리콘막 패턴이다. 상기 불순물 이온들은 폴리실리콘막 형성시에 도핑될 수도 있고, 경우에 따라서는 폴리실리콘막 형성 이후에 별도의 이온 주입 공정에 의해 도핑될 수도 있다. 제1 금속 패턴(130)과의 접촉 저항 감소를 위한 제1 실리사이드막(122)은 베이스 전극 패턴(204) 표면에 형성된다.

<75> n^+ 형 에미터 영역(116)은 절연막 패턴(202)에 의해 노출되는데, 베이스 전극 패턴(204)의 단부는 절연막 패턴(202)의 상부 표면까지 연장된다. 이 베이스 전극 패턴(204)의 연장 부분의 상부 표면 위에는 절연막 패턴(206)이 형성된다. 절연막 패턴(202) 위에서 베이스 전극 패턴(204) 및 절연막 패턴(206) 측면에는 절연성 스페이서(208)가 형성된다. 그리고 절연막 패턴들(202, 206) 및 절연성 스페이서(208)에 의해 한정되는 접촉 홀 내에는 에미터 전극 패턴(118)이 형성된다. 따라서 에미터 전극 패턴(118)과 베이스 전극 패턴(204)은 절연막 패턴들(202, 206) 및 절연성 스페이서(208)에 의해 전기적으로 상호 분리된다. 에미터 전극 패턴(118)은 n^+ 형 에미터 영역(116)과 직접 접촉한다. 에미터 전극 패턴(118)의 결정 구조는 단결정 구조이다. n^+ 형 에미터 영역(116)이 단결정 구조이므로, n^+ 형 에미터 영역(116)과 에미터 전극 패턴(118)은 모두 동일한 단결정 구조를 갖는다. 에미터 전극 패턴(118)은 에피택셜 결정 성장 방법을 사용하여 만들어질 수 있다.

<76> 본 실시예에 따른 바이폴라 접합 트랜지스터(300) 구조에 있어서, 상기 에미터 전극 패턴(118)은 도 2를 참조하여 설명한 바와 같은 에미터 전극 패턴 구조를 가질 수도 있다. 즉 에미터 전극 패턴(118)은, 에피택셜 결정 성장 방법에 의해 만들어진다. 이 에미터 전극 패턴은, 하부 막질의 조건에 따라서 단결정 구조의 제1 에미터 전극 영역(118)과 다결정 구조 또는

아모포스(amorphous) 구조의 제2 에미터 전극 영역(119)을 포함하여 구성된다. 즉 베이스 영역 위로 성장하는 제1 에미터 전극 영역(118)은 단결정 실리콘막 또는 단결정 실리콘-저매니움 박막이 되고, 절연막 패턴(114) 위로 성장하는 제2 에미터 전극 영역(119)은 폴리실리콘막, 아모포스 실리콘막, 폴리실리콘-저매니움막 또는 아모포스 실리콘-저매니움막이 된다. 따라서 단결정 구조의 제1 에미터 전극 영역은, 하부의 n^+ 형 에미터 영역(116)과 상부의 제2 실리콘사이드막(124) 사이에 배치되며, 특히 하부의 n^+ 형 에미터 영역(116)과 상부의 제2 실리콘사이드막(124)에 직접 접촉된다.

<77> 도 4 내지 도 9는 본 발명의 일 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<78> 먼저 도 4를 참조하면, n^+ 형 컬렉터 영역(102) 위에 n^- 형 컬렉터 영역(104)을 형성한다. 경우에 따라서 n^+ 형 컬렉터 영역(102)은 p형 반도체 기판(미도시) 위에 형성될 수도 있다. 다음에 n^- 형 컬렉터 영역(104)의 상부에 소자 분리막(106)을 형성하여 액티브 영역을 한정한다. 이 소자 분리막(106)은 통상의 트렌치 형태일 수도 있고, 또는 로코스(LOCOS)일 수도 있다. 다음에 소자 분리막(106) 및 n^- 형 컬렉터 영역(104)을 관통하여 n^+ 형 컬렉터 영역(102)에 연결되는 n^+ 형 싱크 영역(140)을 형성한다. 이 n^+ 형 싱크 영역(140)은, 예컨대 전면에 상기 n^+ 형 싱크 영역(140)이 형성될 부분만 노출시키는 마스크막 패턴(미도시)을 형성하고, 이 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정과 불순물 확산 공정을 수행함으로써 만들어질 수 있다.

<79> 다음에 도 5를 참조하면, 소자 분리막(106)에 의해 한정되는 액티브 영역의

표면을 노출시키는 절연막 패턴(108) 및 실리콘막 패턴(110)을 형성한다. 절연막 패턴(108) 및 실리콘막 패턴(110)을 형성하기 위해서는, 먼저 전면에 절연막 및 실리콘막을 형성한다. 절연막은 산화막 또는 질화막으로 형성할 수 있다. 다음에 실리콘막 위에 마스크막 패턴, 예컨대 포토레지스트막 패턴을 형성한다. 그리고 이 포토레지스트막 패턴을 식각 마스크로 한 식각 공정을 수행하여 실리콘막 및 절연막의 노출 부분을 순차적으로 제거하여 상기 액티브 영역을 노출시키는 절연막 패턴(108) 및 실리콘막 패턴(110)을 형성한다. 상기 식각 공정으로는 습식 식각 방법을 사용할 수도 있고, 또는 건식 식각 방법을 사용할 수도 있다.

<80> 액티브 영역이 노출되면, 전면에 제1 베이스 영역(112)을 형성한다. 이 제1 베이스 영역(112)은 저온 에피택셜 성장 방법을 사용하여 형성한다. 제1 베이스 영역(112) 형성은 절연막 패턴(108) 및 실리콘막 패턴(110) 없이도 이루어질 수도 있다. 제1 베이스 영역(112)은 단결정 실리콘막일 수도 있으며, 단결정 실리콘-저마니움 박막일 수도 있다. 경우에 따라서 제1 베이스 영역(112)은 단결정 실리콘-저마니움 박막과 단결정 실리콘막을 모두 포함하는 복합막 구조일 수도 있다. 제1 베이스 영역(112)이 단결정 실리콘-저마니움 박막을 포함할 경우, 이 실리콘-저마니움 박막은 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 다층 구조를 갖는다. 따라서 액티브 영역과 직접 접촉하는 막은 실리콘-저마니움 박막의 하부에 배치되는 단결정 실리콘 시드층이 된다.

<81> 다음에 도 6을 참조하면, 제1 베이스 영역(112) 위에 절연막 패턴(113)을 형성한다. 이 절연막 패턴(113)에 의해 에미터 영역이 만들어질 제1 베이스 영역(112) 내의 일부 표면이 노출된다. 상기 절연막 패턴(113)을 형성하기 위해서, 먼저 제1 베이스 영역(112) 위에 절연막을 형성한다. 이 절연막은 산화막 또는 질화막으로 형성한다. 경우에 따라서는 산화막과 질화막을 모두 포함하는 다층 구조로 형성할 수도 있다. 다음에 절연막 위에 포토레지스트막 패

턴(미도시)을 형성한다. 그리고 이 포토레지스트막 패턴을 식각 마스크로 한 식각 공정을 수행하여 절연막의 노출 부분을 제거한다. 그러면 제1 베이스 영역(112)의 일부 표면을 노출시키는 절연막 패턴(113)이 만들어진다. 다음에 통상의 이온 주입 공정에 의해 n^- 형 컬렉터 영역(104) 내에 n^+ 형 영역(136)을 형성한다. 주입되는 불순물 이온들이 제1 베이스 영역(112)을 관통하여 n^- 형 컬렉터 영역(104) 내에 주입되도록 적절한 도우즈 및 주입 에너지를 설정한 상태에서 이온 주입 공정을 수행할 필요가 있다. 경우에 따라서 상기 n^+ 형 영역(136)은 미리 형성될 수도 있다. 예컨대 제1 베이스 영역(112)을 만들기 전, 즉 절연막 패턴(108) 및 실리콘막 패턴(110)에 의해 액티브 영역의 표면이 노출되어 있는 상태에서 별도의 마스크막 패턴을 형성하고, 이 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행할 수도 있다. 이 경우 상대적으로 이온 주입 공정에 의한 데미지로부터 제1 베이스 영역(112)이 자유롭다는 이점이 있다.

<82> 다음에 도 7을 참조하면, 노출된 제1 베이스 영역(112) 및 절연막 패턴(113) 위에 에미터 전극막(117)을 형성한다. 그리고 에미터 전극막(117) 위에 가스 누출을 방지하기 위한 캡핑층(119)을, 예컨대 산화막 또는 질화막을 사용하여 형성한다. 상기 에미터 전극막(117)은 저온, 예컨대 대략 900°C 이하의 저온에서 수행되는 에피택셜 성장 공정에 의해 형성한다. 에미터 전극막(117)으로는 단결정 구조의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성할 수 있다. 에미터 전극막(117)의 도전성을 확보하기 위한 방법으로서, 에피택셜 성장 공정시 n 형 불순물 이온들을 함께 첨가하는 방법을 사용하거나, 또는 에피택셜 성장 공정을 끝내고 별도의 이온 주입 공정을 수행하여 n 형 불순물 이온들을 주입하는 방법을 사용할 수 있다. 이때 어느 방법을 사용하더라도 에미터 전극막(117) 내에는 n 형 불순물 이온이 주입된 상태가 된다. 이 상태에서 불순물 이온의 확산을 위한 소정의 열처리 공정

을 수행한다. 그러면 에미터 전극막(117) 내의 n형 불순물 이온들은 제1 베이스 영역(112) 안으로 확산하고, 따라서 에미터 전극막(117)과 접하는 제1 베이스 영역(112) 내에는 n⁺형 에미터 영역(116)이 만들어진다. 한편 에미터 전극막(117) 내의 불순물 농도는 구배를 가지게 할 수도 있다. 이 경우 에미터 전극막(117)에서의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 한다. 예컨대 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20}/\text{cm}^3$ 가 되도록 하고, 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22}/\text{cm}^3$ 가 되도록 한다.

<83> 이와 같이 만들어지는 n⁺형 에미터 영역(116)은 제1 베이스 영역(112)의 상부 일정 영역에 만들어진다. 제1 베이스 영역(112)이 실리콘-저매니움 박막과 실리콘막이 순차적으로 적층된 복합막 구조로 이루어진 경우, n⁺형 에미터 영역(116)은 상부의 실리콘막 내에만 형성될 수 있으며, 또는 상부의 실리콘막과 하부의 실리콘-저매니움막 내에 형성될 수도 있다. n⁺형 에미터 영역(116)이 하부의 실리콘-저매니움막 내에도 형성될 경우, 실리콘-저매니움막의 상부 일정 영역까지만 n⁺형 에미터 영역(116)이 배치된다.

<84> 다음에 도 8을 참조하면, 캡핑층(119)의 일부를 노출시키는 마스크막 패턴(미도시)을 캡핑층(119) 위에 형성된다. 그리고 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 노출된 캡핑층(119) 및 에미터 전극막(117)을 순차적으로 제거한다. 그러면 일부는 n⁺형 에미터 영역(116)에 직접 접촉하고 일부는 절연막 패턴(114) 위에 배치되는 에미터 전극 패턴(118)이 만들어진다. 에미터 전극 패턴(118)이 형성되면 식각 마스크로 사용한 마스크막 패턴을 제거한다. 경우에 따라서 상기 에미터 전극 패턴(118)은 다른 방법들을 사용하여 형성시킬 수도 있다. 예컨대 도 7의 결과물 상태에서 평탄화 공정을 수행할 수도 있다. 즉 절연막 패턴(113)의 표면이 노출될 때까지 평탄화 공정을 수행하면 도 8에 도시된 바와 같은 에미터 전

극 패턴(118)이 만들어진다. 이 경우 평탄화 방법으로는 화학적 기계적 평탄화(CMP; Chemical Mechanical Polishing) 방법을 사용한다.

<85> 다음에 다시 통상의 포토리소그래피 공정에 의해 마스크막 패턴(미도시)을 형성하고, 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 남아 있는 캡핑층(119) 및 절연막 패턴(113)을 제거한다. 그 결과 에미터 전극 패턴(118) 표면과 제1 베이스 영역(112) 표면은 노출된다. 다음에 상기 마스크막 패턴을 제거하고, 통상의 방법을 사용하여 절연막 패턴(114) 및 에미터 전극 패턴(118) 측면에 절연성 스페이서막(120)을 형성한다. 다음에 이온 주입 공정을 수행하여 제1 베이스 영역(112)의 하부면과 접하는 n⁻형 컬렉터 영역(104) 표면 일정 영역에 제2 베이스 영역(138)을 형성한다. 이 제2 베이스 영역(138)의 도전형은 제1 베이스 영역(112)의 도전형과 동일하다. 한편 경우에 따라서 상기 제2 베이스 영역(138)은 상기 절연성 스페이서막(120)을 형성하기 전에 만들어질 수도 있다.

<86> 다음에 도 9를 참조하면, 통상의 포토리소그래피 공정에 의해 마스크막 패턴(미도시)을 형성하고, 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 제1 베이스 영역(112), 실리콘막 패턴(110) 및 절연막 패턴(108)의 불필요한 부분을 제거한다. 여기서 불필요한 부분은 n⁺형 싱크 영역(140)을 덮고 있는 부분을 의미한다. 따라서 상기 식각 공정에 의해 n⁺형 싱크 영역(140)의 표면은 노출된다. n⁺형 싱크 영역(140)의 표면을 노출시킨 후에는 식각 마스크로 사용한 마스크막 패턴을 제거한다. 그리고 전면에 금속막, 에컨대 티타늄막 또는 코발트막을 형성하고, 소정의 열처리를 수행하여 제1 베이스 영역(112) 표면 위의 제1 실리사이드막(122), 에미터 전극 패턴(118) 표면 위의 제2 실리사이드막(124) 및 n⁺형 싱크

영역(140) 표면 위의 제3 실리사이드막(126)을 형성한다. 다음에 상기 열처리에 의해 반응하지 않은 금속막을 제거하고, 이어서 전면에 층간 절연막을 형성한다. 그리고 통상의 컨택 홀 형성 공정을 수행하여 제1 실리사이드막(122), 제2 실리사이드막(124) 및 제3 실리사이드막(126)의 일부 표면들을 각각 노출시키는 제1 컨택 홀(141), 제2 컨택 홀(142) 및 제3 컨택 홀(143)을 형성한다. 다음에 제1 컨택 홀(141), 제2 컨택 홀(142) 및 제3 컨택 홀(143)이 완전히 채워지도록 금속막을 형성하고, 이 금속막을 상호 분리하기 위한 패터닝 공정을 수행하여 도 1에 도시된 바와 같이, 제1 금속 패턴(130), 제2 금속 패턴(132) 및 제3 금속 패턴(134)을 각각 형성한다.

<87> 도 10 내지 도 14는 본 발명의 다른 실시예에 따른 바이폴라 접합 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다. 본 실시예에 따른 제조 방법에서는, 베이스 전극을 별도로 구비하는 구조를 제조하는 방법에 관한 것이라는 점에서 앞서 설명한 제조 방법과는 상이하다. 그러나 도 4 및 도 5를 참조하여 설명한 단계들까지는 동일하게 진행할 수 있다. 따라서 이하에서는 그 이후 단계부터 기술하기로 한다.

<88> 먼저 도 10을 참조하면, 도 5에 도시된 바와 같이 제1 베이스 영역(112)을 형성한 후에, 제1 베이스 영역(112) 위에 절연막 패턴(202)을 형성한다. 이 절연막 패턴(202)은 산화막 또는 질화막을 사용하여 형성할 수 있다. 제1 베이스 영역(112)의 일부 표면은 절연막 패턴(202)에 의해 덮이는데, 특히 제1 베이스 영역(112) 내에 형성될 에미터 영역(미도시) 부분이 덮인다. 다음에 전면에, 즉 제1

베이스 영역(112) 및 절연막 패턴(202) 위에 베이스 전극막 및 절연막을 순차적으로 형성한다. 이 베이스 전극막은 폴리실리콘막을 사용하여 형성한다. 즉 먼저 전면에 폴리실리콘막을 형성하는데, 이 폴리실리콘막 형성과 동시에 제1 베이스 영역(112)과 동일한 도전형의 불순물 이온들을 도핑시킬 수 있다. 폴리실리콘막 형성시에 불순물 이온들을 도핑시키지 않은 경우에는, 폴리실리콘막을 형성한 후에 별도의 이온 주입 공정을 수행하여 불순물 이온들을 도핑시킨다. 베이스 전극막 및 절연막을 형성한 후에는, 절연막 위에 마스크막 패턴을 형성하고, 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 절연막 및 베이스 전극막의 노출 부분을 순차적으로 제거한다. 그러면 절연막 패턴(202)의 일부 표면을 노출시키는 베이스 전극 패턴(204) 및 절연막 패턴(206)이 만들어진다.

<89> 다음에 도 11을 참조하면, 베이스 전극 패턴(204) 및 절연막 패턴(206) 측면에, 통상의 스페이서 형성 공정을 사용하여 절연성 스페이서(208)를 형성한다. 이 절연성 스페이서(208)는 이어서 만들어질 에미터 전극 패턴과 베이스 전극 패턴(204)을 전기적으로 상호 분리시키기 위한 것이다. 절연성 스페이서(208)로는 산화막/질화막 또는 산화막/폴리실리콘막의 다층막으로 형성할 수 있다. 어떤 다층 구조의 막질을 사용할지의 여부는 절연성 스페이서막(208)의 폭과 함께 절연막 패턴(202)과의 식각 선택비에 따라서 결정된다. 다음에 통상의 이온 주입 공정에 의해 n^- 형 컬렉터 영역(104) 내에 n^+ 형 영역(136)을 형성한다. 주입되는 불순물 이온들이 제1 베이스 영역(112)을 관통하여 n^- 형 컬렉터 영역(104) 내에 주입되도록,

적절한 도우즈 및 주입 에너지를 설정한 상태에서 이온 주입 공정을 수행할 필요가 있다. 경우에 따라서 상기 n^+ 형 영역(136)은 미리 형성될 수도 있다. 예컨대 제1 베이스 영역(112)을 만들기 전, 즉 절연막 패턴(108) 및 실리콘막 패턴(110)에 의해 액티브 영역의 표면이 노출되어 있는 상태에서 별도의 마스크막 패턴을 형성하고, 이 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행할 수도 있다. 이 경우 상대적으로 이온 주입 공정에 의한 데미지로부터 제1 베이스 영역(112)이 자유롭다는 이점이 있다. 또는 절연성 스페이서(208)를 형성하기 전에 n^+ 형 영역(136) 형성을 위한 이온 주입 공정을 수행할 수도 있다.

<90> 다음에 도 12를 참조하면, 절연성 스페이서막(208)에 의해 노출되는 절연막 패턴(202)을 제거하여 제1 베이스 영역(112)의 일부 표면이 노출되도록 한다. 앞서 설명한 바와 같이, 절연성 스페이서막(208)을 구성하는 물질로서 절연막 패턴(202)과 충분한 식각 선택비를 갖는 물질을 사용하므로, 절연막 패턴(202)의 노출 부분을 제거하는데 있어서 별도의 식각 마스크막이 요구되지 않는다. 다음에 상기 노출된 제1 베이스 영역(112), 절연막 패턴(206) 및 절연성 스페이서(208) 위에 에미터 전극막(117)을 형성한다. 그리고 에미터 전극막(117) 위에 가스 누출을 방지하기 위한 캡핑층(119)을, 예컨대 산화막 또는 질화막을 사용하여 형성한다.

<91> 상기 에미터 전극막(117)은 저온, 예컨대 대략 900℃ 이하의 저온에서 수행되는 에피택셜 성장 공정에 의해 형성한다. 에미터 전극막(117)으로는 단결정 구조의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성

할 수 있다. 에미터 전극막(117)의 도전성을 확보하기 위한 방법으로서, 에피택셜 성장 공정시 n형 불순물 이온들을 함께 첨가하는 방법을 사용하거나, 또는 에피택셜 성장 공정을 끝내고 별도의 이온 주입 공정을 수행하여 n형 불순물 이온들을 주입하는 방법을 사용할 수 있다. 이때 어느 방법을 사용하더라도 에미터 전극막(117) 내에는 n형 불순물 이온이 주입된 상태가 된다. 이 상태에서 불순물 이온의 확산을 위한 소정의 열처리 공정을 수행한다. 그러면 에미터 전극막(117) 내의 n형 불순물 이온들은 제1 베이스 영역(112) 안으로 확산하고, 따라서 에미터 전극막(117)과 접하는 제1 베이스 영역(112) 내에는 n⁺형 에미터 영역(116)이 만들어진다. 한편 에미터 전극막(117) 내의 불순물 농도는 구배를 가지게 할 수도 있다. 이 경우 에미터 전극막(117)에서의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 한다. 예컨대 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 가 되도록 하고, 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 가 되도록 한다.

<92> 상기 n⁺형 에미터 영역(116) 및 제1 베이스 영역(112)은 단지 도전형만 서로 다를 뿐 동일한 결정 구조 및 막질이라는 사실은 당연하다. 즉 제1 베이스 영역(112)이 단결정 실리콘막이면, n⁺형 에미터 영역(116) 또한 단결정 실리콘막이다. 마찬가지로 제1 베이스 영역(112)이 단결정 실리콘-저매니움 박막이면, n⁺형 에미터 영역(116) 또한 단결정 실리콘-저매니움 박막이다. 한편 에미터 전극막(117)의 결정 구조 및 막질은 n⁺형 에미터 영역(116)이 어떤 결정 구조 및 막질인가에 의해 결정된다. 먼저 n⁺형 에미터 영역(116)이 단결정 구조의 실리콘막인 경우, 에미터 전극막(117)도 에피택셜 성장 공정을 사용하여 단결정 구조의 실리콘막으로 형성한다. 다음에 n⁺형 에미터 영역(116)이 단결정 구조의 실리콘-저매니움 박막인 경우, 에미터 전극막(117)도 에피택셜 성장 공정을 사용하여 단결정 구조의 실리콘-저매니움 박막으로 형성한다. 이 실리콘-저매니움 박막은 여러 가지 세부 구조를 가질 수 있는데, 하나의 예로서 실

리콘 시드층, 실리콘-저매니움 스페이서, 실리콘-저매니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 다층 구조를 가질 수 있다.

<93> 다음에 도 13을 참조하면, 캡핑층(119)의 일부를 노출시키는 마스크막 패턴(미도시)을 캡핑층(119) 위에 형성된다. 그리고 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 노출된 캡핑층(119) 및 에미터 전극막(117)을 순차적으로 제거한다. 그러면 일부는 n^+ 형 에미터 영역(116)에 직접 접촉하고 일부는 절연막 패턴(206) 위에 배치되는 에미터 전극 패턴(118)이 만들어진다. 에미터 전극 패턴(118)이 형성되면 식각 마스크로 사용한 마스크막 패턴을 제거한다. 경우에 따라서 상기 에미터 전극 패턴(118)은 다른 방법들을 사용하여 형성시킬 수도 있다. 예컨대 도 12의 결과물 상태에서 평탄화 공정을 수행할 수도 있다. 즉 절연막 패턴(206)의 표면이 노출될 때까지 평탄화 공정을 수행하면 도 13에 도시된 바와 같은 에미터 전극 패턴(118)이 만들어진다. 이 경우 평탄화 방법으로는 화학적 기계적 평탄화(CMP; Chemical Mechanical Polishing) 방법을 사용한다.

<94> 다음에 다시 통상의 포토리소그래피 공정에 의해 마스크막 패턴(미도시)을 형성하고, 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 남아 있는 절연막 패턴(206)을 제거한다. 그 결과 에미터 전극 패턴(118) 표면과 베이스 전극 패턴(204) 표면은 노출된다. 다음에 이온 주입 공정을 수행하여 제1 베이스 영역(112)의 하부면과 접하는 n^- 형 컬렉터 영역(104) 표면 일정 영역에 제2 베이스 영역(138)을 형성한다. 이 제2 베이스 영역(138)의 도전형은 제1 베이스 영역(112)의 도전형과 동일하다. 한편 경우에 따라서 상기 제2 베이스 영역(138)은 절연막 패턴(202)을 형성한 후에 동일한 마스크막 패턴을 사용한 이온 주입 공정을 수행함으로써 만들어질 수도 있다.

<95> 다음에 도 14를 참조하면, 통상의 포토리소그래피 공정에 의해 마스크막 패턴(미도시)을 형성하고, 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 베이스 전극 패턴(204), 제1 베이스 영역(112), 실리콘막 패턴(110) 및 절연막 패턴(108)의 불필요한 부분을 제거한다. 여기서 불필요한 부분은 n^+ 형 싱크 영역(140)을 덮고 있는 부분을 의미한다. 따라서 상기 식각 공정에 의해 n^+ 형 싱크 영역(140)의 표면은 노출된다. n^+ 형 싱크 영역(140)의 표면을 노출시킨 후에는 식각 마스크로 사용한 마스크막 패턴을 제거한다.

<96> 다음에 전면에 금속막, 에컨대 티타늄막 또는 코발트막을 형성하고, 소정의 열처리를 수행하여 베이스 전극 패턴(204) 표면 위의 제1 실리사이드막(122), 에미터 전극 패턴(118) 표면 위의 제2 실리사이드막(124) 및 n^+ 형 싱크 영역(140) 표면 위의 제3 실리사이드막(126)을 형성한다. 다음에 상기 열처리에 의해 반응하지 않은 금속막을 제거하고, 이어서 전면에 층간 절연막을 형성한다. 그리고 통상의 컨택 홀 형성 공정을 수행하여 제1 실리사이드막(122), 제2 실리사이드막(124) 및 제3 실리사이드막(126)의 일부 표면들을 각각 노출시키는 제1 컨택 홀(151), 제2 컨택 홀(152) 및 제3 컨택 홀(153)을 형성한다. 다음에 제1 컨택 홀(151), 제2 컨택 홀(152) 및 제3 컨택 홀(153)이 완전히 채워지도록 금속막을 형성하고, 이 금속막을 상호 분리하기 위한 패터닝 공정을 수행하여 도 3에 도시된 바와 같이, 제1 금속 패턴(130), 제2 금속 패턴(132) 및 제3 금속 패턴(134)을 각각 형성한다.

【발명의 효과】

<97> 이상의 설명에서와 같이, 본 발명에 따른 바이폴라 접합 트랜지스터 및 그 제조 방법에 의하면, 직접 컨택되어 있는 에미터 영역과 에미터 전극이 동일 결정 구조의 막질로 이루어지므로, 두 영역 사이의 계면에서의 이물질막이 생기지 않으며, 결국 에미터 전극으로부터 에미터 영역으로 또는 그 반대 방향으로 이루어지는 물질 이동이나 전기적 물리적 신호 전달이 방

해받거나 왜곡되는 현상이 발생하지 않게 된다. 따라서 소자의 전기적 특성을 향상시킬 뿐만 아니라 안정성도 또한 증대시킨다는 장점들을 제공한다.

<98> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【특허청구범위】**【청구항 1】**

제1 도전형의 컬렉터 영역;

상기 제1 도전형의 컬렉터 영역 상부에 배치된 제2 도전형의 베이스 영역;

상기 베이스 영역 내에 형성된 제1 도전형의 에미터 영역; 및

상기 에미터 영역에 직접 접촉되도록 형성되며 단결정 구조로 이루어진 에미터 전극 패턴을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 2】

제1항에 있어서,

상기 에미터 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조는 동일한 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 3】

제1항에 있어서,

상기 에미터 전극 패턴은 에피택셜 결정 성장에 의해 만들어진 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 4】

제1항에 있어서,

상기 에미터 영역 위에 형성된 절연막 패턴을 더 구비하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 5】

제4항에 있어서,

상기 에미터 전극 패턴은, 상기 에미터 영역과 직접 접촉되는 단결정 구조의 제1 에미터 전극 패턴; 및

상기 절연막 패턴 위에서 상기 제1 에미터 전극 패턴의 측면과 접촉되는 다결정 구조 또는 아모포스 구조의 제2 에미터 전극 패턴을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 6】

제1항에 있어서,

상기 베이스 영역은, 상기 컬렉터 영역 위에 형성된 제1 베이스 영역과, 상기 컬렉터 영역 내의 상부 일정 영역에서 상기 제1 베이스 영역과 접하는 제2 베이스 영역을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 7】

제1항에 있어서,

상기 베이스 영역은 에피택셜 결정 성장에 의해 만들어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 8】

제7항에 있어서,

상기 제1 베이스 영역은 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 9】

제8항에 있어서,

상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 구조를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 10】

제1항에 있어서,

상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 11】

제10항에 있어서,

상기 에미터 영역은, 상기 에미터 전극 패턴으로부터 상기 베이스 영역으로의 불순물 이온 확산에 의해 만들어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 12】

제1항에 있어서,

상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 13】

제12항에 있어서,

상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 14】

제13항에 있어서,

상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 15】

제14항에 있어서,

상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20}/\text{cm}^3$ 인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 16】

제14항에 있어서,

상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22}/\text{cm}^3$ 인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 17】

제1항에 있어서,

상기 베이스 영역 위에 형성된 제1 실리사이드막;

상기 제1 실리사이드막에 연결되는 제1 금속 패턴;

상기 에미터 전극 패턴 위에 형성된 제2 실리사이드막; 및

상기 제2 실리사이드막에 연결되는 제2 금속 패턴을 더 구비하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 18】

제1항에 있어서,

상기 컬렉터 영역은, 제1 도전형의 고농도 컬렉터 영역과, 상기 고농도 컬렉터 영역 위에 형성된 제1 도전형의 저농도 컬렉터 영역을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 19】

제18항에 있어서,

상기 에미터 영역 아래에서 상기 베이스 영역과 접하면서 상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역에 연결되는 제1 도전형의 고농도 영역을 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 20】

제18항에 있어서,

상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역에 연결되는 제1 도전형의 고농도 싱크 영역;

상기 고농도 싱크 영역 위에 형성된 제3 실리사이드막; 및

상기 제3 실리사이드막에 연결되는 제3 금속 패턴을 더 구비하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 21】

제1 도전형의 컬렉터 영역;

상기 제1 도전형의 컬렉터 영역 상부에 배치된 제2 도전형의 베이스 영역;

상기 베이스 영역 위에 배치된 베이스 전극 패턴;

상기 베이스 영역 내의 상부 일정 영역에 형성된 제1 도전형의 에미터 영역; 및

상기 에미터 영역에 직접 접촉되도록 형성되며 단결정 구조로 이루어진 에미터 전극 패턴을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 22】

제21항에 있어서,

상기 베이스 전극 패턴은 불순물 이온들로 도핑된 폴리실리콘막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 23】

제21항에 있어서,

상기 에미터 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조는 동일한 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 24】

제21항에 있어서,

상기 에미터 전극 패턴은 에피택셜 결정 성장에 의해 만들어진 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 25】

제21항에 있어서,

상기 에미터 영역 위에 형성된 절연막 패턴을 더 구비하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 26】

제25항에 있어서,

상기 에미터 전극 패턴은, 상기 에미터 영역과 직접 접촉되는 단결정 구조의 제1 에미터 전극 패턴; 및

상기 절연막 패턴 위에서 상기 제1 에미터 전극 패턴의 측면과 접촉되는 다결정 구조 또는 아모포스 구조의 제2 에미터 전극 패턴을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 27】

제21항에 있어서,

상기 베이스 영역은, 상기 컬렉터 영역 위에 형성된 제1 베이스 영역과, 상기 컬렉터 영역 내의 상부 일정 영역에서 상기 제1 베이스 영역과 접하는 제2 베이스 영역을 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 28】

제27항에 있어서,

상기 제1 베이스 영역은 단결정 실리콘막, 단결정 실리콘-저매니움 박막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 29】

제28항에 있어서,

상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층이 순차적으로 적층된 구조를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 30】

제21항에 있어서,

상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 31】

제30항에 있어서,

상기 에미터 영역은, 상기 에미터 전극 패턴으로부터 상기 베이스 영역으로의 불순물 이온 확산에 의해 만들어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 32】

제21항에 있어서,

상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 33】

제32항에 있어서,

상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 34】

제33항에 있어서,

상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 35】

제34항에 있어서,

상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20}/\text{cm}^3$ 인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 36】

제34항에 있어서,

상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22}/\text{cm}^3$ 인 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 37】

제21항에 있어서,

상기 베이스 영역 위에 형성된 제1 실리사이드막;

상기 제1 실리사이드막에 연결되는 제1 금속 패턴;

상기 에미터 전극 패턴 위에 형성된 제2 실리사이드막; 및

상기 제2 실리사이드막에 연결되는 제2 금속 패턴을 더 구비하는 것을 특징으로 하는 바이폴라 접합 트랜지스터.

【청구항 38】

제1 도전형의 컬렉터 영역 상부에 제2 도전형의 베이스 영역을 형성하는 단계;

상기 베이스 영역의 제1 영역 표면을 노출시키는 단계;

상기 베이스 영역의 제1 영역 표면 위에 단결정 구조를 갖는 에미터 전극 패턴을 형성하는 단계; 및

상기 베이스 영역의 제1 영역 상부에 상기 에미터 전극 패턴과 접촉하는 제1 도전형의 에미터 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 39】

제38항에 있어서,

상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 40】

제39항에 있어서, 상기 베이스 영역을 형성하는 단계는,

상기 컬렉터 영역 상부의 일부 표면을 노출시키는 절연막 패턴을 형성하는 단계; 및

상기 컬렉터 영역의 노출 표면 위와 상기 절연막 패턴 위에 베이스 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 41】

제38항에 있어서,

상기 베이스 영역을 형성하는 단계는, 에피택셜 결정 성장에 의해 실리콘막, 실리콘-저매니움 박막 또는 이들의 복합막을 성장시킴으로써 이루어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 42】

제41항에 있어서,

상기 실리콘-저매니움 박막은, 실리콘 시드층, 실리콘-저매니움 스페이서, 실리콘-저매니움 불순물 도핑층 및 실리콘 캡층을 순차적으로 적층시킨 구조를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 43】

제38항에 있어서,

상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저매니움막 또는 이들의 복합막을 포함하도록 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 44】

제38항에 있어서,

상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 45】

제38항에 있어서,

상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 46】

제38항에 있어서,

상기 에미터 전극 패턴은, 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막을 포함하도록 형성되는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 47】

제38항에 있어서,

상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖도록 형성되는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 48】

제47항에 있어서,

상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 49】

제47항에 있어서,

상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 50】

제47항에 있어서,

상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 51】

제38항에 있어서,

상기 베이스 영역 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계;

상기 제1 실리사이드막 및 제2 실리사이드막을 덮는 층간 절연막을 형성하는 단계; 및

상기 층간 절연막을 관통하여 상기 제1 실리사이드막 및 제2 실리사이드막에 각각 컨택되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 52】

제38항에 있어서,

상기 베이스 영역의 일부 표면 위에 베이스 전극 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 53】

제52항에 있어서,

상기 베이스 전극 패턴 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계;

상기 제1 실리사이드막 및 제2 실리사이드막을 덮는 층간 절연막을 형성하는 단계; 및

상기 층간 절연막을 관통하여 상기 제1 실리사이드막 및 제2 실리사이드막에 각각 컨택 되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 54】

제52항에 있어서,

상기 베이스 전극 패턴은 폴리실리콘막을 사용하여 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 55】

제1 도전형의 고농도 컬렉터 영역 위에 동일 도전형의 저농도 컬렉터 영역을 형성하는 단계;

상기 저농도 컬렉터 영역의 액티브 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계;

상기 베이스 영역의 일부 표면에 직접 접촉하며 단결정 구조로 이루어진 에미터 전극 패턴을 형성하는 단계;

상기 에미터 전극 패턴 측면에 절연성 스페이서를 형성하는 단계;

상기 에미터 전극 패턴에 접촉되는 상기 베이스 영역 표면에 제1 도전형의 에미터 영역을 형성하는 단계;

상기 베이스 영역 및 에미터 전극 패턴 상부에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계; 및

상기 제1 실리사이드막 및 제2 실리사이드막에 각각 연결되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 56】

제55항에 있어서,

상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 57】

제55항에 있어서,

상기 저농도 컬렉터 영역을 관통하여 상기 고농도 컬렉터 영역과 연결되는 제1 도전형의 싱크 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 58】

제57항에 있어서,

상기 제1 실리사이드막 및 제2 실리사이드막 형성과 동시에 상기 싱크 영역 상부에 제3 실리사이드막을 형성하는 단계; 및

상기 제1 금속 패턴 및 제2 금속 패턴 형성과 동시에 상기 제3 실리사이드막에 연결되는 제3 금속 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 59】

제55항에 있어서,

상기 에미터 전극 패턴 형성 전에 상기 에미터 전극 패턴이 형성될 제1 베이스 영역의 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 및

상기 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 저농도 컬렉터 영역을 관통하여 상기 베이스 영역 및 상기 고농도 컬렉터 영역을 연결시키는 제1 도전형의 고농도 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 60】

제55항에 있어서,

상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 61】

제55항에 있어서,

상기 베이스 영역은 단결정의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 62】

제55항에 있어서,

상기 에미터 전극 패턴은 단결정의 실리콘막, 단결정 구조의 실리콘-저마니움 박막 또는 이들의 복합막으로 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 63】

제55항에 있어서,

상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 64】

제1 도전형의 고농도 컬렉터 영역 위에 동일 도전형의 저농도 컬렉터 영역을 형성하는 단계;

상기 저농도 컬렉터 영역의 액티브 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계;

상기 제1 베이스 영역의 제1 영역 표면 위에 절연막 패턴을 형성하는 단계;

상기 절연막 패턴에 의해 노출되는 제1 베이스 영역을 덮으면서 상기 절연막 패턴의 일부 영역을 노출시키는 베이스 전극 패턴을 형성하는 단계;

상기 절연성 패턴 위에서 상기 베이스 전극 패턴의 측면을 덮는 절연성 스페이서를 형성하는 단계;

상기 절연성 스페이서에 의해 노출된 절연성 패턴의 일부를 제거하여 상기 베이스 영역의 제1 영역의 일부 표면을 노출시키는 단계;

상기 베이스 영역의 제1 영역의 노출 표면에 직접 접촉하며, 상기 베이스 영역과 동일한 결정 구조를 갖는 에미터 전극 패턴을 형성하는 단계;

상기 에미터 전극 패턴에 접촉되는 상기 제1 베이스 영역의 제1 영역 표면에 제1 도전형의 에미터 영역을 형성하는 단계;

상기 베이스 전극 패턴 및 에미터 전극 패턴 상부에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계; 및

상기 제1 실리사이드막 및 제2 실리사이드막에 각각 연결되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 65】

제64항에 있어서,

상기 베이스 영역의 결정 구조와 상기 에미터 전극 패턴의 결정 구조가 동일하도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 66】

제64항에 있어서,

상기 에미터 전극 패턴 형성 전에 상기 에미터 전극 패턴이 형성될 베이스 영역의 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 및

상기 마스크막 패턴을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 저농도 컬렉터 영역을 관통하여 상기 베이스 영역 및 상기 고농도 컬렉터 영역을 연결시키는 제1 도전형의 고농도 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 67】

제64항에 있어서, 상기 베이스 영역을 형성하는 단계는,

상기 컬렉터 영역 상부의 일부 표면을 노출시키는 절연막 패턴을 형성하는 단계; 및

상기 컬렉터 영역의 노출 표면 위와 상기 절연막 패턴 위에 베이스 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 68】

제64항에 있어서,

상기 베이스 영역을 형성하는 단계는, 에피택셜 결정 성장에 의해 단결정 실리콘막, 단결정 실리콘-저마니움 박막 또는 이들의 복합막을 성장시킴으로써 이루어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 69】

제68항에 있어서,

상기 실리콘-저마니움 박막은, 실리콘 시드층, 실리콘-저마니움 스페이서, 실리콘-저마니움 불순물 도핑층 및 실리콘 캡층을 순차적으로 적층시킨 구조를 갖는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 70】

제64항에 있어서,

상기 에미터 영역은, 단결정의 실리콘막, 단결정의 실리콘-저마니움막 또는 이들의 복합막을 포함하도록 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 71】

제64항에 있어서,

상기 에미터 전극 패턴은 저온의 에피택셜 성장 방법을 사용하여 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 72】

제64항에 있어서,

상기 에미터 영역을 형성하는 단계는, 상기 에미터 전극 패턴 내에 도핑되어 있는 불순물 이온을 상기 베이스 영역 내로 확산시키는 열공정을 수행함으로써 이루어지는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 73】

제64항에 있어서,

상기 에미터 전극 패턴은, 단결정의 실리콘막, 단결정의 실리콘-저마니움 박막 또는 이들의 복합막을 포함하도록 형성되는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 74】

제64항에 있어서,

상기 에미터 전극 패턴은, 표면과 수직인 방향으로 불순물 농도 구배를 갖도록 형성되는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 75】

제74항에 있어서,

상기 에미터 전극 패턴의 불순물 농도 구배는, 하부에서 상대적으로 저농도이고 상부에서 상대적으로 고농도가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 76】

제75항에 있어서,

상기 에미터 전극 패턴의 하부에서의 불순물 농도는 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 77】

제75항에 있어서,

상기 에미터 전극 패턴의 상부에서의 불순물 농도는 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 가 되도록 하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【청구항 78】

제64항에 있어서,

상기 베이스 영역 위 및 상기 에미터 전극 패턴 위에 각각 제1 실리사이드막 및 제2 실리사이드막을 형성하는 단계;

상기 제1 실리사이드막 및 제2 실리사이드막을 덮는 층간 절연막을 형성하는 단계; 및

상기 층간 절연막을 관통하여 상기 제1 실리사이드막 및 제2 실리사이드막에 각각 콘택되는 제1 금속 패턴 및 제2 금속 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

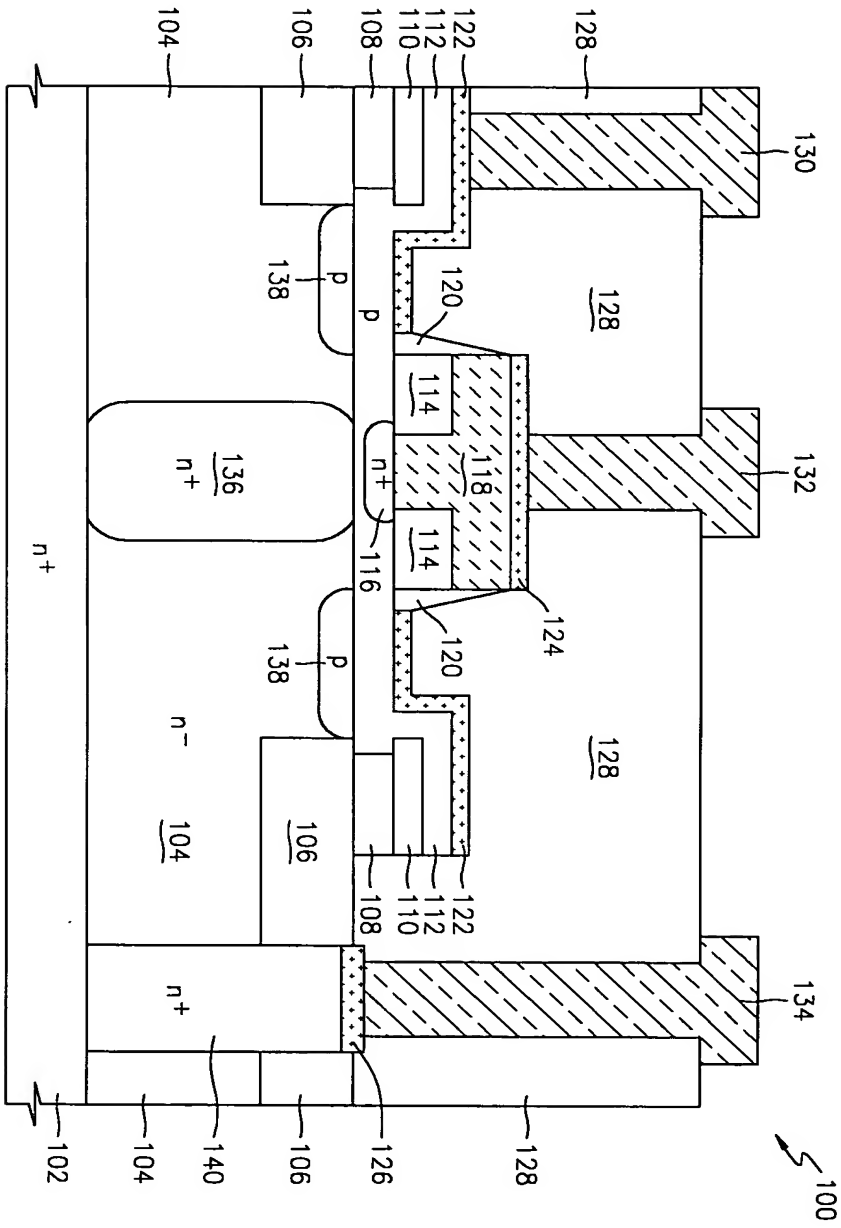
【청구항 79】

제64항에 있어서,

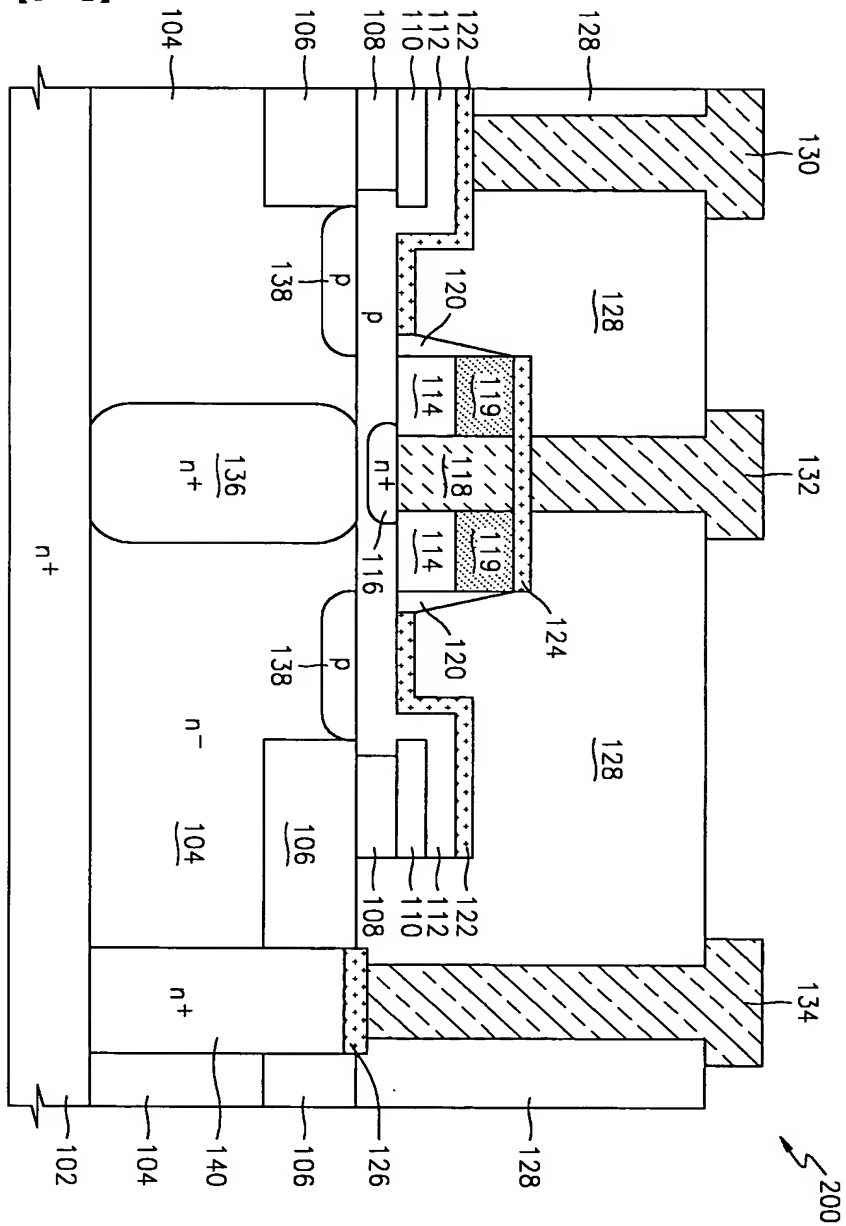
상기 베이스 전극 패턴은 폴리실리콘막을 사용하여 형성하는 것을 특징으로 하는 바이폴라 접합 트랜지스터의 제조 방법.

【도면】

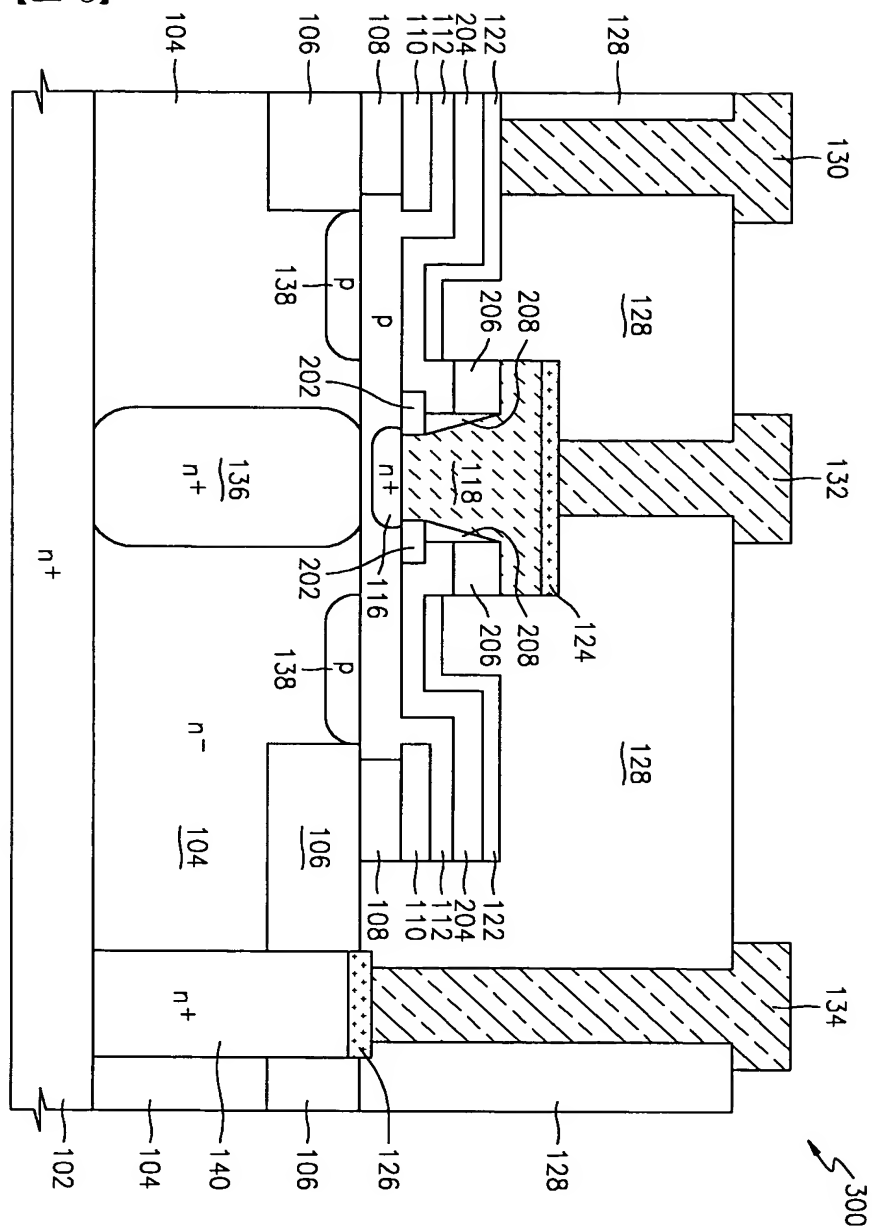
【도 1】



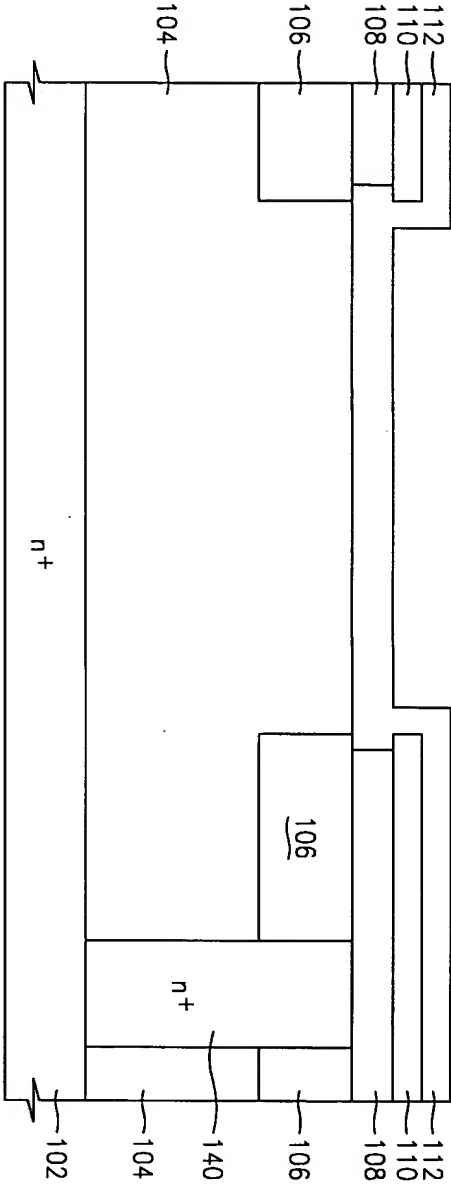
【도 2】



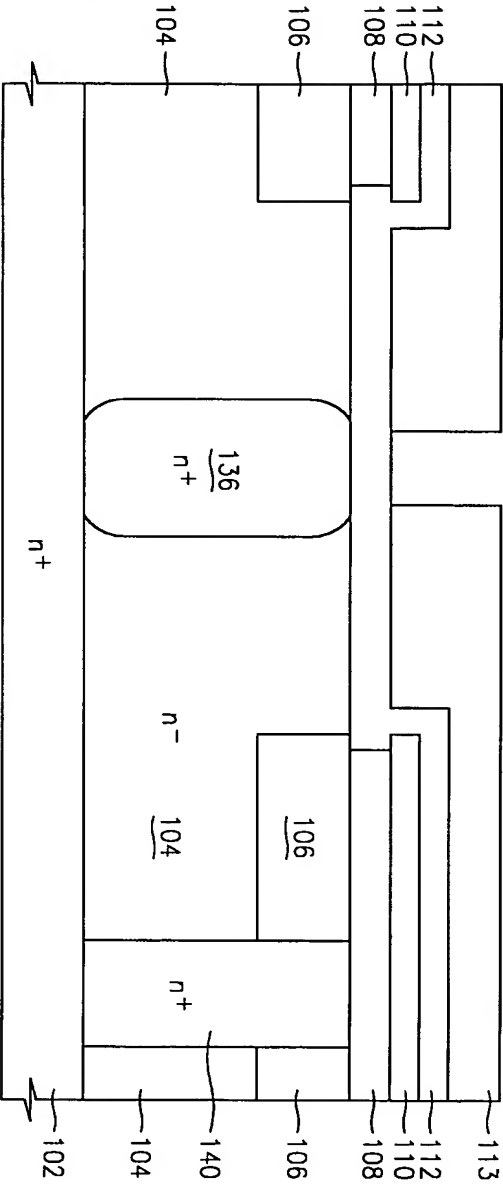
【도 3】



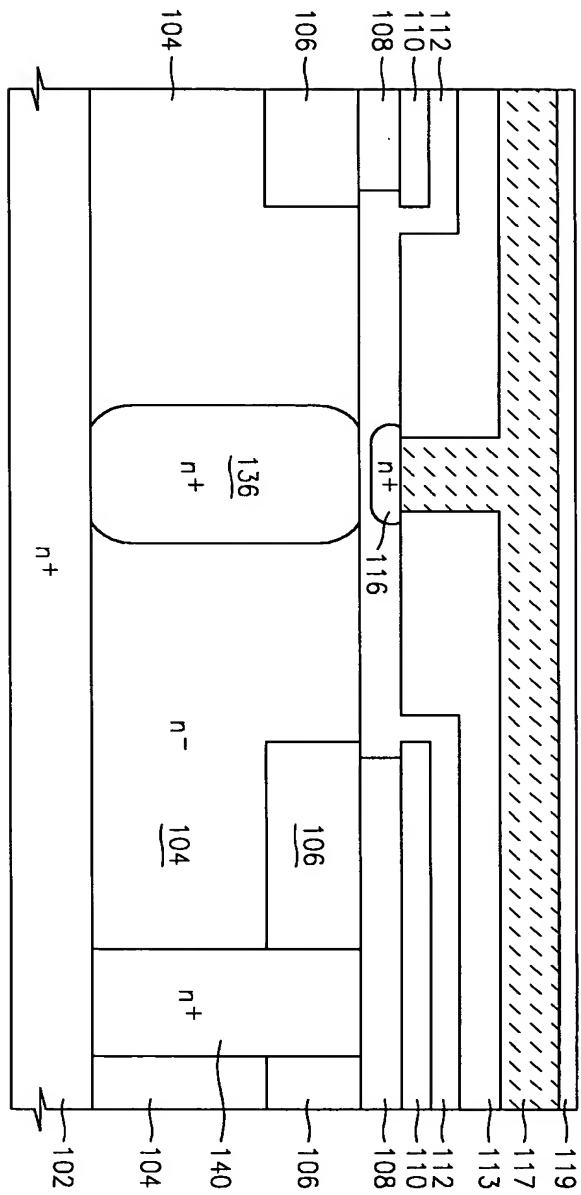
【도 5】



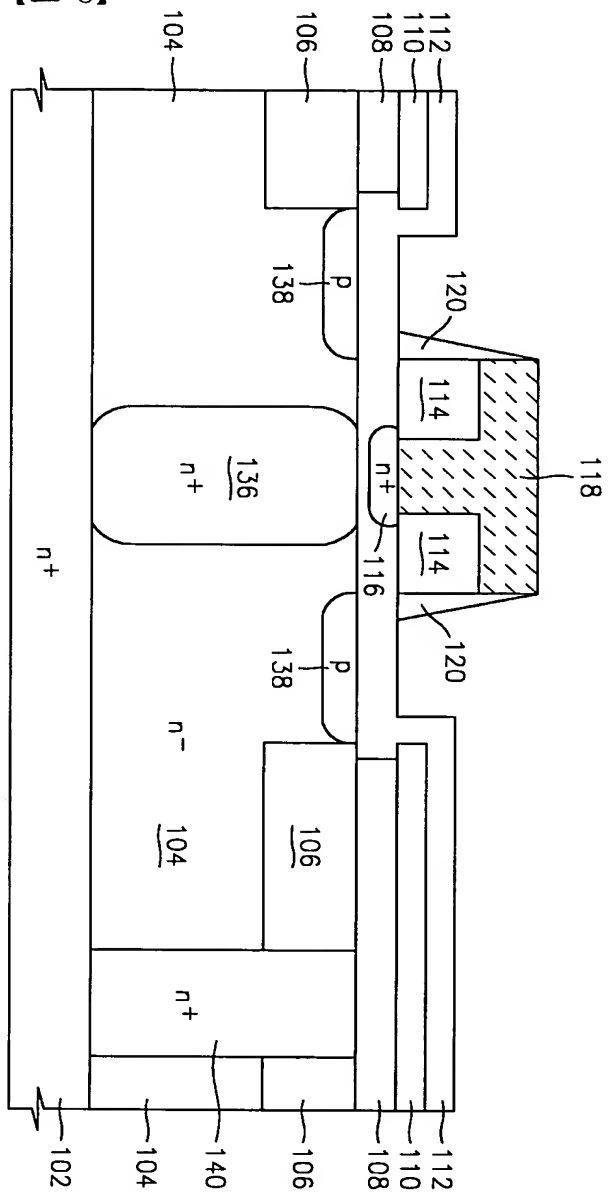
【도 6】



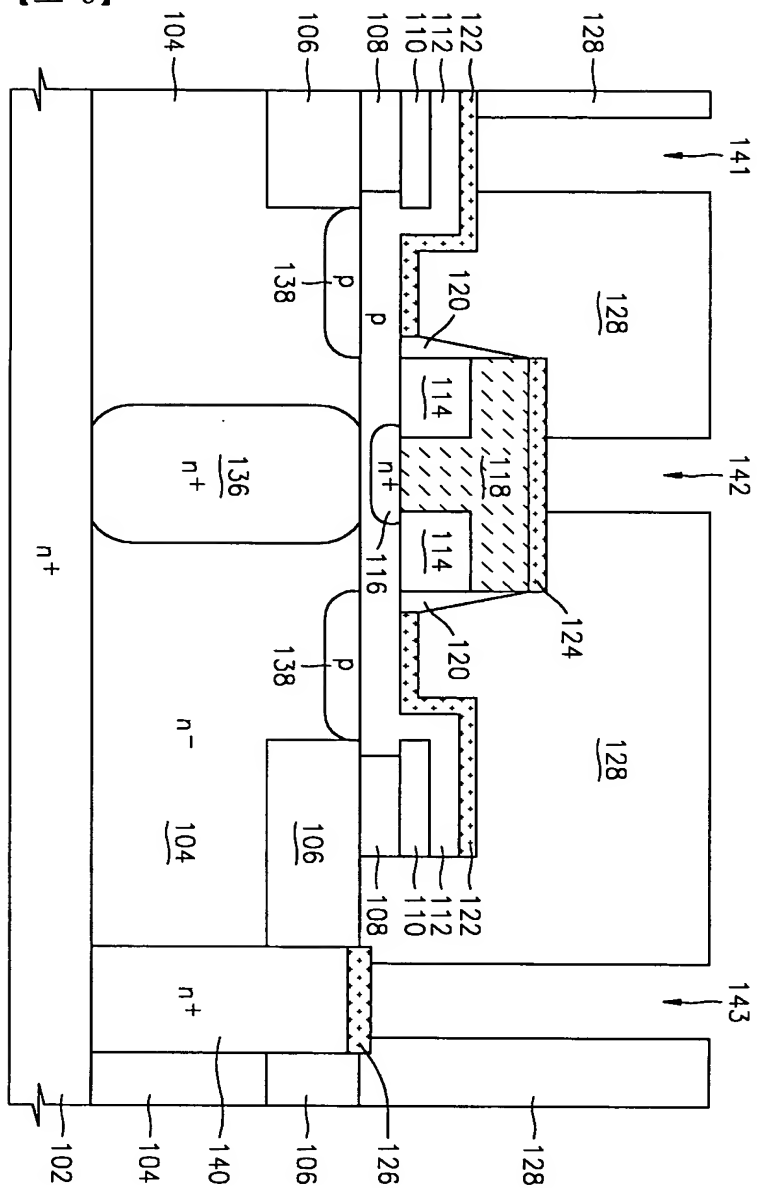
【도 7】



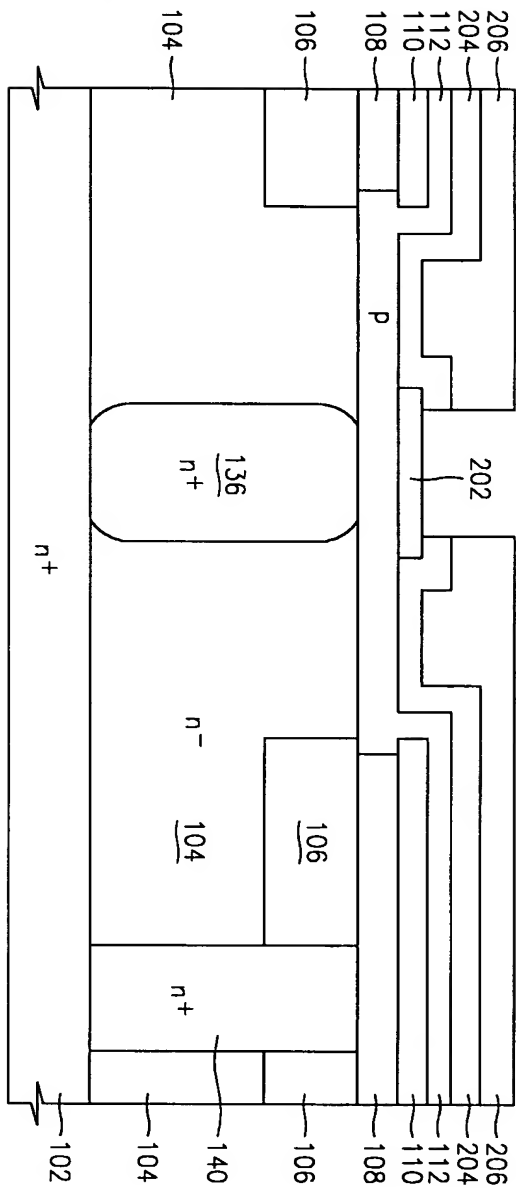
【도 8】



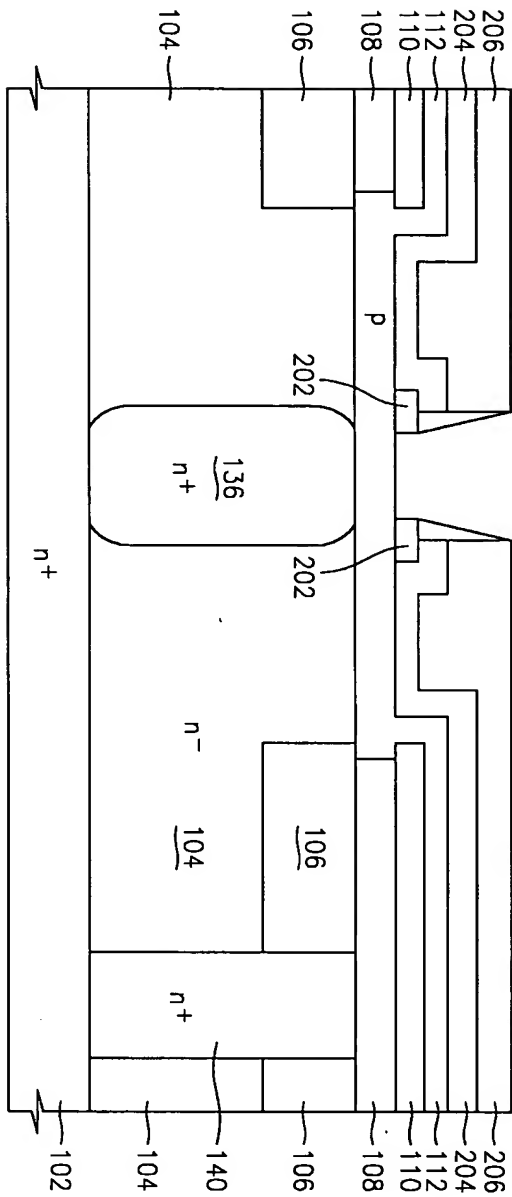
【도 9】



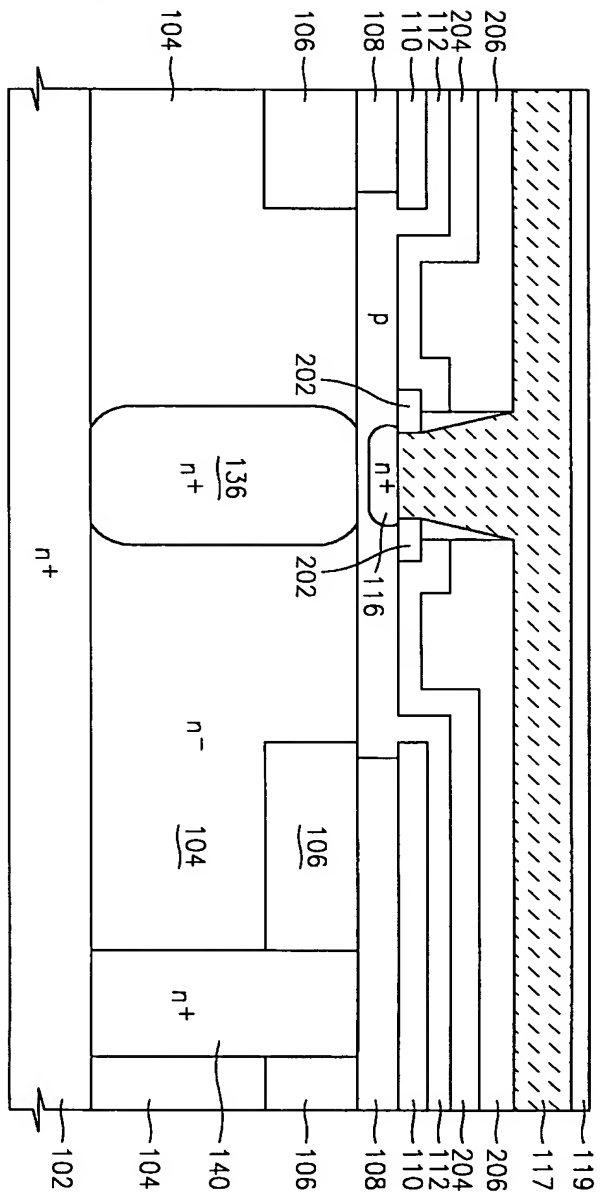
【도 10】



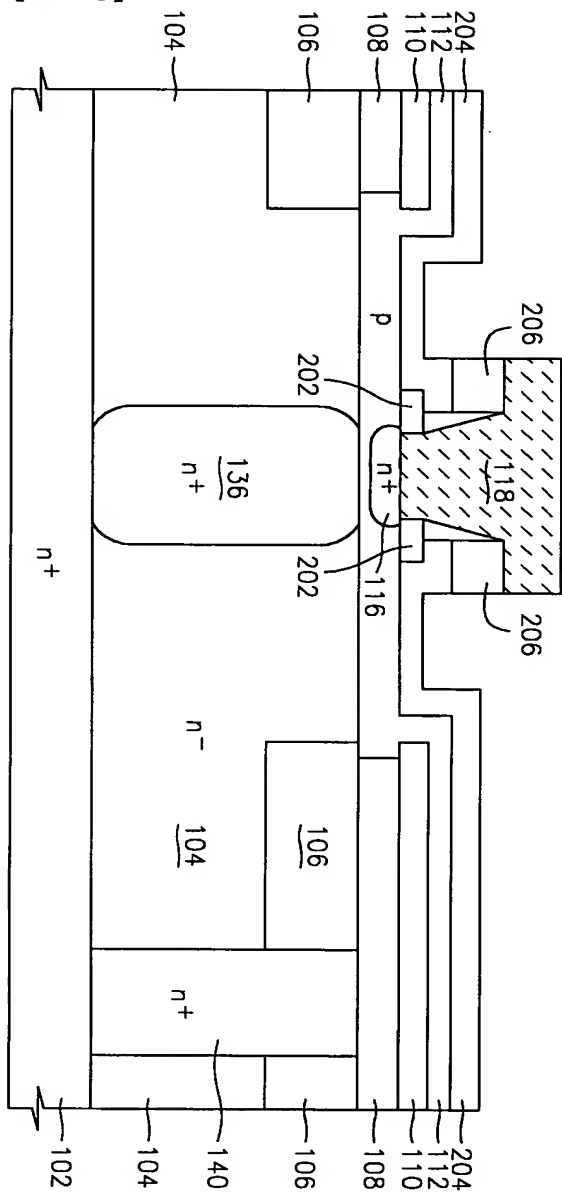
【도 11】



【도 12】



【도 13】



【도 14】

